

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-038920

(43)Date of publication of application : 28.02.1985

(51)Int.Cl.

H03K 3/356

H03K 17/687

(21)Application number : 58-148477

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 11.08.1983

(72)Inventor : NAKAGAWA HIROMASA

(54) LATCH CIRCUIT

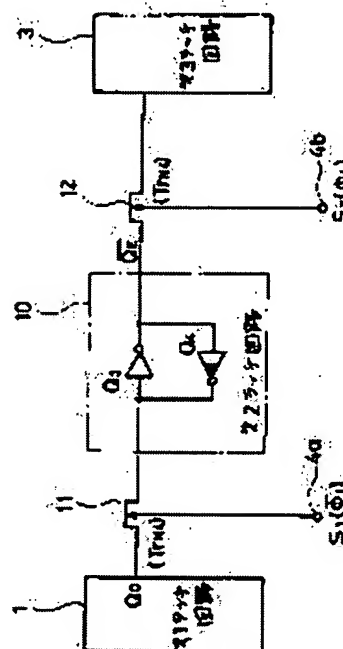
(57)Abstract:

PURPOSE: To improve the circuit integration of a semiconductor integrated circuit by using only one data transfer line and realizing the circuit with one transmission gate only.

CONSTITUTION: The 2nd latch circuit 10 consists of two inverters Q3, Q4, an input side of the inverter Q3 is used as an input terminal of the 2nd latch circuit 10, an output of the inverter Q3 is connected to an input of the inverter Q4, an output of the inverter Q4 is connected to an input of the inverter Q3, and an output of the inverter Q3 is used as an output terminal of the 2nd latch circuit 10.

The 1st transmission gate 11 consists of the 4N channel TRN4 and a data is transferred from the 1st latch circuit 1 to the 2nd latch circuit 10. Further, the 2nd

transmission gate 12 consists of the 4N channel TRN4 so as to transfer a data from the 2nd latch circuit 10 to the 3rd latch circuit 3. Since the number of data transfer lines is decreased by using this CMOS latch circuit, the circuit integration of the semiconductor integrated circuit is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-38920

⑬ Int.Cl.⁴

H 03 K 3/356
17/687

識別記号

庁内整理番号

8425-5J
7105-5J

⑭ 公開 昭和60年(1985)2月28日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 ラッチ回路

⑯ 特 願 昭58-148477

⑰ 出 願 昭58(1983)8月11日

⑱ 発 明 者 中 川 博 雅 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

ラッチ回路

2. 特許請求の範囲

相補形CMOSトランジスタで構成し、データの一時記憶あるいは待避を行なうレジスタ内のラッチ回路において、このラッチ回路を2個のインバータで構成し、一方のインバータの出力に他方のインバータの入力を接続してラッチ回路の出力端子とし、他方のインバータの出力を一方のインバータの入力に接続してラッチ回路の入力端子とすることにより、データを転送する信号線を少なくし、データ転送のゲート(またはトランジスタ)の数を減らすことを特徴とするラッチ回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明はラッチ間のデータ転送線の数を減らすことができるCMOSラッチ回路に関するものである。

〔従来技術〕

第1図は従来のラッチ回路を示すブロック図である。同図において、(1)は第1出力信号 Q_A および第1否定出力信号 \overline{Q}_A を出力する第1ラッチ回路、(2)はインバータ(2a)および(2b)からなり、第2出力信号 Q_B および第2否定出力信号 \overline{Q}_B を出力する第2ラッチ回路、(3)は第3ラッチ回路、(4a)および(4b)はそれぞれ第2図(e)に示す第1データ転送信号 $S_1(\phi_1)$ および第2図(e)に示す第2データ転送信号 $S_2(\phi_1)$ が入力する転送信号入力端子、(5a)および(5b)はNチャネルの第1トランスマッションゲート、(6a)および(6b)はNチャネルの第2トランスマッションゲート、(7a)および(7b)はPチャネルのプルアップ用トランジスタである。

なお、第2図(a)はクロック信号を示すタイムチャートである。また、第1データ転送信号 $S_1(\phi_1)$ は第1ラッチ回路(1)から第2ラッチ回路(2)にデータを転送させるための信号であり、第2データ転送信号 $S_2(\phi_1)$ は第2ラッチ回路(2)から第3ラッチ回路(3)にデータを転送させるための信号であ

り、各ラッチ回路のデータの移動のタイミングを第2図(b)、第2図(d)および第2図(f)に示す。

次に、上記構成によるラッチ回路の動作について第3図(a)、第3図(b)および第3図(c)を参照して説明する。まず、第1ラッチ回路(1)はデータの書き込み(第1データ転送信号 $S_1(\phi_1)$ アクティブ)あるいはデータの読み出し(第2データ転送信号 $S_2(\phi_1)$ アクティブ)の場合でも、常に、低レベル($V_{CC}=5V$, $V_{SS}=0V$ の場合には $0V$)を第1トランスミッシヨングート(6a),(6b)あるいは第2トランスミッシヨングート(6a),(6b)を通してデータを転送している。ここで、プルアップ用トランジスタ(7a)および(7b)の動作について、例えば第2ラッチ回路(2)の第2出力信号 $Q_a=0V$ (以下"0"と言う)を第2トランスミッシヨングート(6a)および(6b)を通してデータを転送するときには第2否定出力信号 $\bar{Q}_a=5V$ (以下"1"と言う)の電圧値はその第2トランスミッシヨングート(6a)および(6b)の出力側ではバッタゲート効果により、十分な"1"レベルが出力で

きないため、第2出力信号 $Q_a=0V$ が、第2トランスミッシヨングート(6b)を通して出力したところで、プルアップ用トランジスタ(7a)のゲートに入力して、相補の電位を引き上げて、十分な"1"レベルを保持できるようにしている。いま、第2ラッチ回路(2)から第2出力信号 $Q_a="0"$ を第3ラッチ回路(3)に転送する場合、第2トランスミッシヨングート(6a)および(6b)の出力側は転送前にデータ転送線の両方(正および負)共に"1"にプリチャージしておき、第2データ転送信号 $S_2(\phi_1)$ の出力により、第2ラッチ回路(2)内の第1Nチャネルトランジスタ(9a)のドレイン電圧を第2トランスミッシヨングート(6a)を通して転送している。ここで注意しなければいけないのは第2トランスミッシヨングート(6a)および(6b)が"オン"する前にはこの第2トランスミッシヨングート(6a)および(6b)の出力側は正負ともに"1"にプリチャージしているため、第2ラッチ回路(2)にある第1Pチャネルトランジスタ(8a)、第2Pチャネルトランジスタ(8b)、第1Nチャネル

トランジスタ(9a)、および第2Nチャネルトランジスタ(9b)の各コンダクタンス β を考慮して、第2トランスミッシヨングート(6a)および(6b)が"オン"すると同時に、保持しているデータ値が反転しないように、データを転送しなければならない。ただし、Nチャネルトランジスタ同士のコンダクタンスは同一であり、Pチャネルトランジスタ同士のコンダクタンスは同一であるとする。次に、第2ラッチ回路(2)からデータを読み出す場合をトランジスタレベルで説明すると、第3図(b)に示すようになり、第1Nチャネルトランジスタ(9a)のドレイン電位を V_{x0} 、第2Pチャネルトランジスタ(8b)と第2Nチャネルトランジスタ(9b)によるインバータのスレッシュホールド電圧を V_{IN2}^* とすれば、このインバータが反転しない条件は

$$V_{x0} < V_{IN2}^* \quad \dots\dots (1)$$

となる。ここで、

$$V_{IN2}^* = \frac{V_{CC} - V_{TP} + V_{TN} \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}}{1 + \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}} \quad \dots\dots (2)$$

ただし、 V_{CC} : 電源電圧

V_{TP} , V_{TN} : すべてのPチャネルトランジスタおよびNチャネルトランジスタのスレッシュホールド電圧

$\beta_{N2}(=\beta_{N1})$: 第2Nチャネルトランジスタのコンダクタンス(第1Nチャネルトランジスタのコンダクタンスも同じ)

$\beta_{P2}(=\beta_{P1})$: 第1Pチャネルトランジスタのコンダクタンス(第1Pチャネルトランジスタのコンダクタンスも同じ)

この条件で読み出し時の第2ラッチ回路(2)の4個のトランジスタと第2のトランスミッシヨングート(6a)および(6b)のコンダクタンスを決定する。

次に、第1ラッチ回路(1)から第2ラッチ回路(2)へのデータ書き込みの場合を第3図(c)に示す。今、第2ラッチ回路(2)の第2出力信号 $Q_2 = "1"$ であるとき、第1ラッチ回路(1)の第1出力信号 $Q_1 = "0"$ により、第2出力信号 $Q_2 = "0"$ に反転するためには、

$$V_{X0} < V_{IN2} \quad \dots\dots\dots (3)$$

となるように、各トランジスタのコンダクタンスを決定する。

しかしながら、従来のラッチ回路は各ラッチ回路の入、出力信号が夫々正、負を要し、トランスミツションゲートも入、出力共に2個ずつ必要とするため、半導体集積回路上で、集積度を上げることができない欠点があつた。

〔発明の概要〕

したがつて、この発明の目的はデータ転送線を1本にし、しかもトランスミツションゲート1個で実現できるため、半導体集積回路の集積度を上げることができるラッチ回路を提供するものであ

る。

このような目的を達成するため、この発明はラッチ回路を2個のインバータで構成し、一方のインバータの出力に他方のインバータの入力を接続してラッチ回路の出力端子とし、他方のインバータの出力を一方のインバータの入力に接続してラッチ回路の入力端子とするように構成したものであり、以下実施例を用いて詳細に説明する。

〔発明の実施例〕

第4図はこの発明に係るラッチ回路の一実施例を示すブロック図である。同図において、(10)は2個のインバータ(Q_3)および(Q_4)で構成される第2ラッチ回路であり、インバータ(Q_3)の入力側をこの第2ラッチ回路(10)の入力端子とし、インバータ(Q_3)の出力をインバータ(Q_4)の入力に接続し、インバータ(Q_4)の出力をインバータ(Q_3)の入力に接続し、インバータ(Q_3)の出力をこの第2ラッチ回路(10)の出力端子とするものである。(11)は第4Nチャネルトランジスタ(Tr_{N4})からなり、第1ラッチ回路(1)から第2ラッチ回路(10)

にデータを転送する第1トランスミツションゲート、(12)は第4Nチャネルトランジスタ(Tr_{N4})からなり、第2ラッチ回路(10)から第3ラッチ回路(3)にデータを転送する第2トランスミツションゲートである。

なお、第5図は第4図に示すラッチ回路をトランジスタレベルで示した図である。また、第2ラッチ回路(10)をNチャネルトランジスタのトランスミツションゲートを介して直列に接続されるため、第1ラッチ回路(1)、第2ラッチ回路(10)および第3ラッチ回路(3)の各部のトランジスタは同じ構成にすることができる。そして、第2ラッチ回路(10)内の各トランジスタ(8a)、(8b)、(9a)、(9b)、および入力側、出力側のトランスミツションゲートのコンダクタンスを以下の条件に設定すればラッチ回路を実現することができる。

次に、上記構成によるラッチ回路の動作について第6図(a)、第6図(b)および第7図(a)、第7図(b)を参照して説明する。まず、第2ラッチ回路(10)から第3ラッチ回路(3)への読み出しは第1ラッチ

回路(1)から第2ラッチ回路(10)へのデータの書き込みに対応するので、第1ラッチ回路(1)から第2ラッチ回路(10)へのデータの書き込みの場合について説明する。まず、第6図(a)において、第2ラッチ回路(10)の出力信号 $\overline{Q_2} = "0"$ で、かつ第1ラッチ回路(1)の出力信号 $Q_0 = "0"$ のとき、第1データ転送信号 $S_1(\overline{\phi_1})$ がアクティブとなり、第1トランスミツションゲート(11)が"オン"の状態を示している。今、第1ラッチ回路(1)の出力信号 Q_0 が"0"を保持し続けた場合、第2ラッチ回路(10)の状態を第6図(b)に示すことができる。ここで、第3Nチャネルトランジスタ(9c)のドレインは第1ラッチ回路(1)の出力端子であり、 ≈ 0 Vであり、第1トランスミツションゲート(11)を通して第1Pチャネルトランジスタ(8a)のドレイン側に接続されている。また、この第1トランスミツションゲート(11)の第4Nチャネルトランジスタのドレイン(V_{x1})はインバータ(Q_3)の第2Pチャネルトランジスタ(8b)のゲートおよび第2Nチャネルトランジスタ(9b)のゲートに接続され

る入力側 V_{IN2} に接続される。次に、第6図(b)に示すように、第2ラッチ回路(10)の出力信号 $\bar{Q}_B = "0"$ が $"1"$ へ書き変える時の条件は次式で示される。

$$V_{X1} < V_{IN2}^* \quad \dots\dots (4)$$

$$\text{ここで、} V_{IN2}^* = \frac{V_{CC} - V_{TP} + V_{TN} \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}}{1 + \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}} \quad \dots (5)$$

ただし、 V_{CC} : 電源電圧

V_{TP}, V_{TN} : すべてのPチャネルトランジスタ、Nチャネルトランジスタのスレッショールド電圧

$\beta_{N2} (> \beta_{N1})$: 第2Nチャネルトランジスタのコンダクタンス

$\beta_{P2} (> \beta_{P1})$: 第1Pチャネルトランジスタのコンダクタンス

ここで、 V_{X1} の電位は仮定として、各トランジスタのオン抵抗の分割比で決まるとす

$\bar{Q}_B = "1"$ で、かつ第1ラッチ回路(1)の出力信号 $Q_A = "1"$ のとき、第1データ転送信号 $B_1 (\bar{\phi}_1)$ がアクティブで、第1トランスミッシヨングート(11)のNチャネルトランジスタ (Tr_{N4}) が $"オン"$ 状態を示している。今、第1ラッチ回路(1)の第1出力信号 Q_D が $"1"$ を保持し続けた場合、第2ラッチ回路(10)の状態は第7図(b)で示される。ここで、第3Pチャネルトランジスタ(8c)のドレインは第1ラッチ回路(1)の出力端子であり、 $"オン"$ 状態では第1トランスミッシヨングート(11)のNチャネルトランジスタを通して第1Nチャネルトランジスタ(9a)のドレイン側に接続されている。

また、この第1トランスミッシヨングート(11)のNチャネルトランジスタのドレイン V_{X1} からインバータ(Q_3)の第2Pチャネルトランジスタ(8b)および第2Nチャネルトランジスタ(9b)の入力側 V_{IN2}^* に接続される。したがって、第7図(b)に示すように、この第2ラッチ回路(10)の出力信号 $\bar{Q}_B = "1"$ から $"0"$ へ書き変えるときの条件は次式で決まる。

れば、

$$V_{X1} \cong \frac{V_{CC}}{1 + \frac{\beta_{N3} \cdot \beta_{N4}}{\beta_{P1} (\beta_{N3} + \beta_{N4})}} \quad \dots\dots (6)$$

である。

ただし、 β_{N3} は第1ラッチ回路(1)において、第2ラッチ回路(10)の第2Nチャネルトランジスタ(9b)と同じコンダクタンスを持つもので、 $\beta_{N3} = \beta_{N2}$ となる。

β_{N4} はトランスミッシヨングートのNチャネルトランジスタ Tr_{N4} のコンダクタンスである。

そこで、式(6)を変えて、式(5)と共に式(4)に代入すれば下記の式(7)が得られる。

$$\frac{V_{CC}}{1 + \frac{\beta_{N2} \cdot \beta_{N4}}{\beta_{P1} (\beta_{N2} + \beta_{N4})}} < \frac{V_{CC} - V_{TP} + V_{TN} \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}}{1 + \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}} \quad \dots\dots (7)$$

次に、第7図(a)は第2ラッチ回路(10)の出力信号

$$V_{X1} > V_{IN2}^* \quad \dots\dots (8)$$

式(6)の導出のときと同じ条件で算出すると次式で示される。

$$V_{X1} \cong \frac{V_{CC}}{1 + \frac{\beta_{N1} (\beta_{P3} + \beta_{N4})}{\beta_{P3} \cdot \beta_{N4}}} \quad \dots\dots (9)$$

ただし、 β_{P3} は第1ラッチ回路(1)において、第2ラッチ回路(10)の第2Pチャネルトランジスタ(8b)と同じコンダクタンスを持つので、 $\beta_{P3} = \beta_{P2}$ となる。

β_{N4} は第1トランスミッシヨングート(11)のNチャネルトランジスタのコンダクタンスである。

そこで、式(9)を変えて、式(5)と共に式(8)に代入すれば次のような関係式となる。

$$\frac{V_{CC}}{1 + \frac{\beta_{N1} (\beta_{P2} + \beta_{N4})}{\beta_{P2} \cdot \beta_{N4}}} > \frac{V_{CC} - V_{TP} + V_{TN} \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}}{1 + \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}} \quad \dots\dots (10)$$

さらに、式(7)と式(10)から下記の式(11)が求められる。

$$\frac{V_{CC}}{1 + \frac{\beta_{N1}(\beta_{P2} + \beta_{N4})}{\beta_{P2} \cdot \beta_{N1}}} > \frac{V_{CC} - V_{TP} + V_{TN} \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}}{1 + \sqrt{\frac{\beta_{N2}}{\beta_{P2}}}} > \frac{V_{CC}}{1 + \frac{\beta_{N2} \cdot \beta_{N4}}{\beta_{P1}(\beta_{N2} + \beta_{N4})}} \quad \dots\dots (11)$$

読み出しの場合は上記の条件の他、次の条件が成立するようにパラメータを設定する。また、帰還するインバータ(Q₃)のスレッショルド電圧V_{IN1}^{*}は

$$V_{IN1}^* = V_{IN2}^* \quad \dots\dots (12)$$

とし、

$$\beta_{N4} \gg \beta_{N2} > \beta_{N1} > \beta_{P2} > \mu_{P1} \quad \dots\dots (13)$$

$$\frac{\beta_{N2}}{\beta_{P2}} = \frac{\beta_{N1}}{\beta_{P1}} \quad \dots\dots (14)$$

なる条件を加える。

〔発明の効果〕

以上詳細に説明したように、この発明に係るラッチ回路によれば、データ転送線の数を減らすことができるので、データ転送のゲート（あるいはトランジスタ）の数を少なくすることができ、半導体集積回路の集積度を上げることができるなどの効果がある。

4. 図面の簡単な説明

第1図は従来のラッチ回路を示すブロック図、第2図(a)～第2図(f)は第1図の各部の信号波形を示すタイムチャート、第3図(a)、第3図(b)および第3図(c)は第1図のラッチ回路の動作をトランジスタレベルで説明するための図、第4図はこの発明に係るラッチ回路の一実施例を示すブロック図、第5図は第4図に示すラッチ回路をトランジスタレベルで示す回路図、第6図(a)、第6図(b)および第7図(a)、第7図(b)は第4図のラッチ回路の動作

をトランジスタレベルで説明するための図である。

(1)・・・第1ラッチ回路、(2)・・・第2ラッチ回路、(3)・・・第3ラッチ回路、(4a)および(4b)・・・転送信号入力端子、(5a)および(5b)・・・第1トランスミツションゲート、(6a)および(6b)・・・第2トランスミツションゲート、(7a)および(7b)・・・プルアップ用トランジスタ、(8a)～(8c)・・・Pチャネルトランジスタ、(9a)～(9c)・・・Nチャネルトランジスタ、(10)・・・第2ラッチ回路、(11)・・・第1トランスミツションゲート、(12)・・・第2トランスミツションゲート。

なお、図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

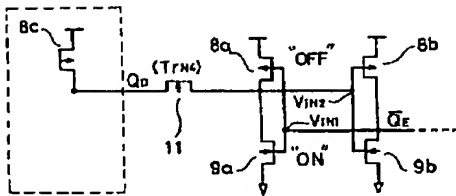
特開昭 58-38920 (7)

手続補正書(方式)

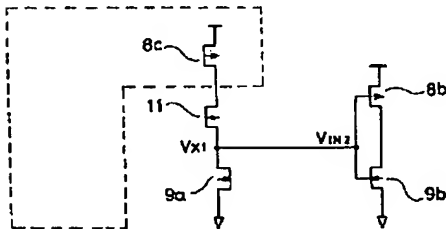
昭和 58 年 12 月 30 日

第 7 図

(a)



(b)



特許庁長官殿

1. 事件の表示 特願昭 58-148477 号

2. 発明の名称 ラッチ回路

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 片山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

氏 名 (7375) 弁理士 大 岩 増 雄
(特許第 03(233)3421 号 第 2 項)

5. 補正命令の日付 昭和 58 年 11 月 29 日

6. 補正の対象
図 面

7. 補正の内容

図面の第 2 図(b)~(f)を別紙の通り補正する。

以 上



手続補正書(自発)

昭和 59 年 4 月 3 日

特許庁長官殿

1. 事件の表示 特願昭 58-148477 号

2. 発明の名称 ラッチ回路

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 片山 仁 八 郎

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内

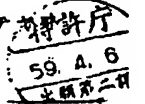
氏 名 (7375) 弁理士 大 岩 増 雄
(特許第 03(233)3421 号 第 2 項)

5. 補正の対象

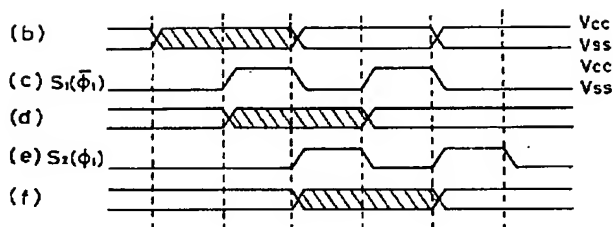
明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第 6 頁第 11~12 行の「第 1 P チ」を「第 1 P チ」に補正する。



第 2 図



ルトランジスタ」を「第2 Pチャネルトランジスタ」と補正する。

- (2) 同書第11頁第13～14行の「第1 Pチャネルトランジスタ」を「第2 Pチャネルトランジスタ」と補正する。

以 上